

PATENT ABSTRACTS OF JAPAN

J1017 U.S. PTO
10/042240
01/11/02



(11)Publication number : 2000-078472
(43)Date of publication of application : 14.03.2000

(51)Int.CI.

H04N 5/335

(21)Application number : 10-245215
(22)Date of filing : 31.08.1998

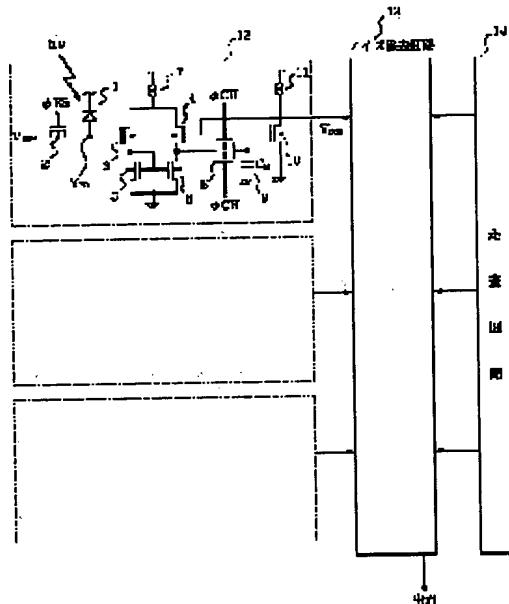
(71)Applicant : CANON INC
(72)Inventor : TAKAHASHI HIDEKAZU

(54) PHOTOELECTRIC CONVERSION DEVICE AND IMAGE PICKUP DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To enable many time reading as multiple functions by providing a differential amplifier circuit to obtain a differential amplification signal between an outputted signal from a photoelectric conversion means and an outputted signal from an amplification means and inputting the output of the differential amplifier circuit in a holding means via a switch means.

SOLUTION: The differential amplifier circuit is constituted of differential input MOS gates 3, 4, current mirror circuits 5, 6 and a constant current source 7. The output of the differential amplifier circuit is connected with the input of a source follower amplifier MOS transistor 10 and a constant current source 11 via a transfer gate 8. The output of the source follower circuit is fed back to a negative input gate of the differential amplifier circuit. Thus, a transmission gate is operated as a voltage follower circuit at a conducted state, a gain becomes approximately 1.0 and a high gain is obtained. A high dynamic range, etc., are obtained by providing the voltage follower circuit with memory functions by every photodiode 1 and reset MOS transistor 2.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-78472

(P2000-78472A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.⁷
H 0 4 N 5/335

識別記号

F I
H 0 4 N 5/335

テマコード(参考)
E 5 C 0 2 4

審査請求 未請求 請求項の数9 O.L (全9頁)

(21)出願番号 特願平10-245215

(22)出願日 平成10年8月31日 (1998.8.31)

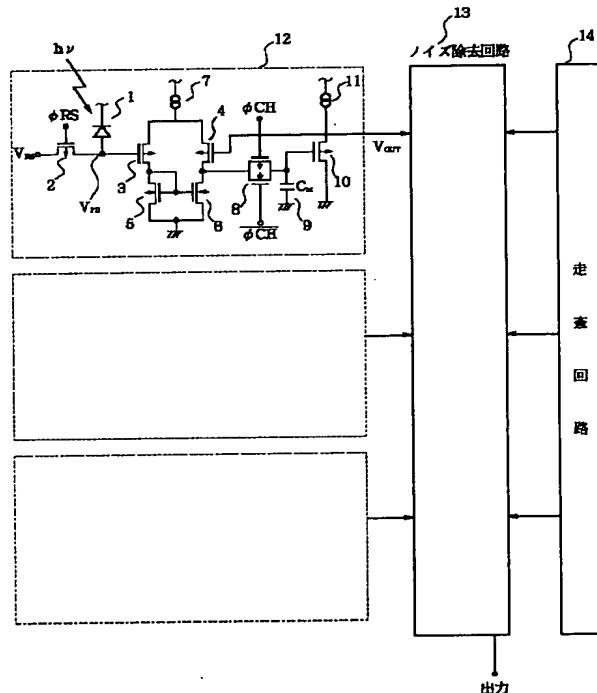
(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号
(72)発明者 高橋 秀和
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(74)代理人 100069877
弁理士 丸島 優一
F ターム(参考) 5C024 AA01 CA05 FA01 GA01 GA31
HA10 HA11 HA18 HA24 JA04

(54)【発明の名称】光電変換装置及びそれを用いた撮像装置

(57)【要約】

【課題】画素内にメモリ機能を有し、S/N比の優れた画素出力を得ることを課題とする。

【解決手段】画素の構成を光電変換部からの出力を電圧フォロワ回路から出力できるようにし、メモリを電圧フォロワ回路の出力段の入力部に設ける。電圧フォロワ回路は、光電変換部からの出力信号と電圧フォロワ回路からの出力信号の差動増幅出力を差動増幅回路から出力するようとする。



【特許請求の範囲】

【請求項1】 光電変換手段と、
信号を保持する保持手段と、
前記保持手段に信号を転送するスイッチ手段と、
前記保持手段からの信号を増幅して出力する増幅手段
と、
前記光電変換手段から出力された信号と前記増幅手段から出力された信号との差動増幅信号を得るための差動増幅回路と、
前記差動増幅回路から出力された信号を保持する保持手段とを少なくとも画素の構成として含み、
前記差動増幅回路から出力された信号は前記スイッチ手段を介して前記保持手段に入力されていることを特徴とする光電変換装置。

【請求項2】 請求項3において、前記差動増幅手段、前記増幅手段及び前記スイッチ手段はMOSトランジスタのみで構成したことを特徴とする光電変換装置。

【請求項3】 請求項1又は請求項2のいずれか1項において、前記保持手段はMOS容量としたことを特徴とする光電変換装置。

【請求項4】 請求項1乃至請求項3のいずれか1項において、前記光電変換手段はp-nフォトダイオードであることを特徴とする光電変換装置。

【請求項5】 請求項1乃至請求項4のいずれか1項において、前記差動増幅手段の作動／非作動を制御する第1の制御手段を有することを特徴とする光電変換素装置。

【請求項6】 請求項1乃至請求項4のいずれか1項において、前記増幅手段の作動／非作動を制御する第2の制御手段を有することを特徴とする光電変換素装置。

【請求項7】 請求項1乃至請求項6のいずれか1項において、さらに前記画素内に生じるノイズを除去するノイズ除去手段を有することを特徴とする光電変換装置。

【請求項8】 請求項1乃至請求項6のいずれか1項において、さらに複数の画素中のピーク信号を出力するためのピーク信号出力手段を有することを特徴とする光電変換装置。

【請求項9】 請求項8に記載の光電変換装置と、前記光電変換装置から出力されるピーク信号によって前記光電変換手段への光の蓄積量を制御する光蓄積量制御手段と、を有する撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画素内で信号を保持できる光電変換装置及びそれを用いた撮像装置に関するものである。

【0002】

【従来の技術】近年、光電変換装置の多機能化、低コスト化、高S/N化の要求に伴い、CMOS型センサが注目されている。そのCMOSセンサの1つに画素部でメ

モリ機能を有するセンサが提案されており、図14の様な回路構成となっている。同図において1は光電変換を行うフォトダイオード、2はフォトダイオードの電位をリセットするリセットMOSトランジスタ、61はソースフォロワの増幅用MOSトランジスタ、7はソースフォロワ回路の定電流源、9はメモリ容量、62はメモリ容量へ電荷を転送するための転送スイッチMOSトランジスタ、10はソースフォロワ回路の増幅用MOSトランジスタ、11はソースフォロワ回路の定電流源、63は出力をノイズ除去回路へ転送するための転送スイッチである。フォトダイオードで発生した電荷をソースフォロワで電荷増幅し、メモリ容量9へ転送する。 ϕM は蓄積時間終了後OFFすることにより、メモリ容量の電荷を保持し、その電位を次段のソースフォロワ回路で増幅し、ノイズ除去回路へ転送させる。

【0003】2段のソースフォロワ回路とメモリ容量を用いることにより、多数回読み出し可能な多機能な光電変換装置が可能となった。

【0004】

【発明が解決しようとする課題】しかしながら上記従来例では、フォトダイオードの電位がソースフォロワアンプを2段通して出力されるため、

$$V_{out} = G_1 \cdot G_2 \cdot V_{PD} - (V_{th1} + V_{th2})$$

となる。ここで G_1 、 G_2 は各ソースフォロワのゲイン、 V_{th1} 、 V_{th2} は各ソースフォロワアンプのMOSトランジスタのしきい値電圧である。従って、各トランジスタのバラツキを考慮すると次の様な点が更に改良／改善されることが望まれる。

① V_{th} バラツキによる固定パターンノイズ(FPN)は

【0005】

【外1】

$$FPN = \sqrt{2} V_{th} \quad (V_{th} = V_{th1} = V_{th2} \text{とする})$$

と大きくなる。

②読み出しゲインが $G_1 \times G_2$ に低下する。

③電源電圧 V_{DD} の変動で出力電圧が変化する(PSRR悪い)

【0006】

【課題を解決するための手段】本発明では、上記の課題を解決するために、請求項1のように光電変換手段と、信号を保持する保持手段と、前記保持手段に信号を転送するスイッチ手段と、前記保持手段からの信号を増幅して出力する増幅手段と、前記光電変換手段から出力された信号と前記増幅手段から出力された信号との差動増幅信号を得るための差動増幅回路と、前記差動増幅回路から出力された信号を保持する保持手段とを画素の構成として含み、前記差動増幅回路から出力された信号は前記スイッチ手段を介して前記保持手段に入力されていることを特徴とする光電変換装置を提供する。

【0007】また、請求項1において、前記差動増幅手段、前記増幅手段及び前記スイッチ手段はMOSトランジ

スタのみで構成したことを特徴とする光電変換装置を提供する。

【0008】さらにまた、請求項1又は請求項2のいずれか1項において、前記保持手段はMOS容量としたことを特徴とする光電変換装置を提供する。

【0009】さらにまた、請求項1乃至請求項3のいずれか1項において、前記光電変換手段はpnフォトダイオードであることを特徴とする光電変換装置を提供する。

【0010】さらにまた、請求項1乃至請求項4のいずれか1項において、前記差動増幅手段の作動／非作動を制御する第1の制御手段を有することを特徴とする光電変換素装置を提供する。

【0011】さらにまた、請求項1乃至請求項4のいずれか1項において、前記増幅手段の作動／非作動を制御する第2の制御手段を有することを特徴とする光電変換素装置を提供する。

【0012】さらにまた、請求項1乃至請求項6のいずれか1項において、さらに前記画素内に生じるノイズを除去するノイズ除去手段を有することを特徴とする光電変換装置を提供する。

【0013】さらにまた、請求項1乃至請求項6のいずれか1項において、さらに複数の画素中のピーク信号を出力するためのピーク信号出力手段を有することを特徴とする光電変換装置を提供する。

【0014】さらにまた、請求項8に記載の光電変換装置と、前記光電変換装置から出力されるピーク信号によって前記光電変換手段への光の蓄積量を制御する光蓄積量制御手段とを有する撮像装置を提供する。

【0015】

【発明の実施の形態】(実施例1) 図1は本発明の特徴を最も良く表す図面であり、同図において1は光電変換が行われるPnフォトダイオード、2はPnフォトダイオードをリセットするためのリセット用MOSトランジスタ、3、4はアンプ用MOSトランジスタ、5、6はアンプ用MOSトランジスタ3、4に対する負荷MOSトランジスタでありカレントミラー回路を構成する。又7は定電流回路であり3～7で差動増幅回路を構成している。8はトランスマッショングート、9は電荷を保持するための、メモリ容量、10はアンプ用MOSトランジスタ、11は定電流源であり、10、11でソースフォロワを構成している。以上の1～11で1つの画素12を構成している。13は画素で生じるノイズを除去するためのノイズ除去回路、14は画素からの信号を順次出力するための走査回路である。

【0016】上記、画素の構成において、差動増幅回路の出力はトランスマッショングート8を介してソースフォロワ回路の入力に接続され、ソースフォロワ回路の出力は差動増幅回路の負の入力ゲートにフィードバックされる。従って、トランスマッショングートが導通状態において、電圧フォロワ回路として動作する。そのため、

この回路のゲインはほぼ1.0となるため、従来よりも高利得となることが特徴である。

【0017】次に図2のタイミングチャートを用いて画素部のリセットから蓄積終了における動作について説明する。時刻T₀において、フォトダイオードに蓄積されている電荷をリセットする。φRSがLOWとなりpMOS2がオンし、フォトダイオードはリセット電位V_{RS}にリセットする。次の時刻T₁において、φRSをHIGHに戻し、リセット動作を終了させ、蓄積動作に入る。フォトダイオード1に光が入射し、フォトダイオードの電位V_Pは時間と共に上昇していく。同時に画素出力V_{out}も上昇していく。

【0018】ある任意の時間が経過した、時刻T₂において、蓄積動作が終了する。ここでφCHをHIGHとすることにより、トランスマッショングート8をOFFし、蓄積容量C_mに蓄えられた電荷を保持させる。時刻T₂の後も、フォトダイオードには光が入射するため、V_Pは上昇するが、蓄積容量の電位は変化しないため、出力V_{out}はT₂後は一定となる。この出力は後段のノイズ除去回路でノイズを除去した後、走査回路14で駆動され、外部へ順次出力される。

【0019】本実施例において、メモリ機能を備えた電圧フォロワ回路を各フォトダイオード毎に設けることにより、低FPN、高ゲイン、高ダイナミックレンジ、PSRR良好な光電変換装置が実現できた。又、PSRRが良なため、電源の能力に対する要求が少なくなるため、電源回りのシステムが簡単になる。

【0020】(実施例2) 図3に本発明の第2実施例の回路図を示す。同図において、28はpMOSトランジスタを用いたスイッチである。本実施例では、pMOS、nMOSを用いたトランスマッショングートではなく、nMOSスイッチのみで構成していることを特徴とする。そのため、構成素子数が少くなり、更なる微細化に対して有効となる。

【0021】本実施例においてスイッチMOSトランジスタ28がオフした時のゲートドレイン間の寄生容量のため、蓄積容量C_mの電位変化が実施例1よりも大きくなるが、後段のノイズ除去回路で補正できるため、特に問題とはならない。

【0022】本実施例において、更なる微細化に対応した光電変換装置が可能となった。

【0023】(実施例3) 図4に本発明の第3実施例の回路図を示す。同図において、30はフォトダイオード1の電荷を転送するための転送ゲート、31はフローティングディフェュージョン容量とゲート容量3をリセットするための、リセット用MOSトランジスタである。

【0024】本実施例において、フォトダイオードで発生した電荷をフローティングディフェュージョン容量へ完全転送することにより、高感度な光検出が可能となる。又、フォトダイオード部をP'nP構造にすること

により、暗電流を減らすことも可能となる。

【0025】本実施例において高感度、低ノイズの光電変換装置が可能となった。

【0026】(実施例4) 図5に本発明の第4実施例の回路図を示す。本実施例において、各画素の定電流源にオンオフスイッチを設けたことを特徴とする。図6に本実施例のタイミングチャートを示す。蓄積終了後に $\phi R E F 1$ をHighにすることにより、差動入力回路をOFFさせることにより、消費電力を減らすことが可能となる。又、 $\phi R E F 2$ を出力信号を出力させる時以外はOFFさせることにより、消費電力を減らす。

【0027】本実施例により、従来より低消費電力が可能である光電変換装置が可能となった。

【0028】(実施例5) 図7に本発明の第5実施例の回路図を示す。本実施例1において、ソースフォロワ回路10のゲート面積を大きくし、メモリ容量9を無くした事を特徴とする。本実施例において10のMOSゲートサイズをメモリ容量サイズと同等とすれば良い。

【0029】本実施例においてメモリ容量C_mを削除することにより、更なる微細化が可能となった。

【0030】実施例1～5において、PMOSトップの作動増幅アンプを用いているが、nMOSトップの差動増幅アンプであっても同様な効果を得ることができる。出力後はソースフォロワ回路ではなくブッシュブル回路でも良いが、回路規模の大きさを考慮するとソースフォロワ回路の方がより好ましい。

【0031】又、差動増幅回路も実施例1～5に記載されているものでなく他の差動増幅回路であってもよい。

【0032】さらに又、実施例1～5においては、1次元に配列したものを見たが、2次元に配列したものでも同様の効果が得られるのは言うまでもない。

【0033】(実施例6) 図8はノイズ除去回路13の一例を示すものであり、画素12は実施例1で説明したものである。

【0034】51は差動増幅アンプで出力を負の入力端子にフィードバックさせて電圧フォロワで動作させる。50は画素からの出力を電圧フォロワ回路へ入力させるためのスイッチMOSトランジスタ、54はクランプ容量、55はクランプ電位を入力するためのスイッチMOSトランジスタで、54と55でクランプ回路を構成している。53はクランプ回路に画素の出力を入力させるためのスイッチMOSトランジスタ、56はクランプ回路と電圧フォロワ回路を接続させるためのスイッチMOSトランジスタ、52は電圧フォロワの出力をクランプ回路へ入力させるためのスイッチMOSトランジスタであり、50～56でノイズ除去回路を構成している。57はノイズが除去された光電変換出力を出力増幅器58へ出力させるためのスイッチMOSトランジスタで、14の走査回路によって駆動される。

【0035】次に図8に示すタイミングチャートを用い

て、本発明のノイズ除去動作について説明する。

【0036】まず時刻T₀において、 $\phi R S$ をLOWにすることにより、リセットMOSトランジスタ2をONにしフォトダイオード1をリセットする。続いて次の時刻T₁において $\phi C H$ をLOWすることによりトランスマッショングートをONにしてリセット直後のノイズ信号をメモリ容量C_mに保持する。そして、時刻T₂において $\phi R S$ 、 $\phi C H$ をHighにすることによりリセットMOSトランジスタ2、トランスマッショングート8をOFFにし、フォトダイオード1のリセットを完了させて蓄積状態に入る。

【0037】ノイズ除去動作に入る時刻T₃において、 $\phi T N$ 、 $\phi F B$ をHighにすることにより、ノイズ信号をスイッチMOSトランジスタ50を介して電圧フォロワ回路51へ入力し、その電圧フォロワ回路の出力をスイッチMOSトランジスタ52を介して、クランプ容量54へ入力する。次の時刻T₄、T₅においてそれぞれ $\phi F B$ 、 $\phi T N$ をLOWにすることによりスイッチMOSトランジスタ52、スイッチMOSトランジスタ50の順にOFFさせる。この時、クランプ容量8にはノイズを含んだセンサ出力と電圧フォロワ回路のオフセット電圧が加算された電圧が保持される。

$$V_{cp} = V_{dark} + V_{FPN} + V_{RN} + V_{off} \quad (1)$$

(V_{dark} =センサ暗時電圧、 V_{FPN} =固定バターンノイズ電圧、 V_{RN} =ランダムノイズ電圧、 V_{off} =電圧フォロワ回路オフセット電圧)

時刻T₆において $\phi T S 2$ をHighにすることによりクランプ回路と電圧フォロワ回路を接続させて、時刻T₇において $\phi G R$ をOFFさせてクランプ動作を終了させる。

【0038】所望の時刻が達った後、フォトダイオードに蓄積された光信号は時刻T₈にメモリ容量9に保持される。メモリ容量9に保持されている光信号はソースフォロワ回路のアンプMOS10から出力される。

【0039】この時のソースフォロワの出力は、

$$V_p + V_{dark} + V_{FPN} + V_{RN} \quad (2)$$

となる。ここで V_p は光信号電圧である。そして時刻T₁₁において $\phi T S 1$ がHighとなり、この電圧がスイッチMOS53を介してクランプ回路へ入力される。こ

40 の時、先に蓄積されている電圧(1)との差分により、電圧フォロワ回路からの出力は、

$$V_{out} = (2) - (1) + V_{off} = V_p$$

となる。つまり、電圧フォロワ回路からは光電変換画素のノイズのみならず、電圧フォロワ回路のノイズも除去された信号を得ることができる。又、最終段の出力増幅器58へゲインを落とさずに出力できるため、容量分割によるゲイン低下といった問題もなくなる。

【0040】又、図10は差動増幅アンプ51の1例を示したものである。ここではCMOS型差動増幅アンプとなっているが、BiCMOS型であっても同様であ

る。又、回路構成も出力がブッシュブル形式であってもよい。

【0041】ここで、本実施例では実施例1に説明した画素を用いてノイズ除去の動作を説明したが、実施例2～5に説明した画素であっても同様にノイズを除去することができる。

【0042】又ノイズ除去の方法は、本実施例に示したものに限るものではなく、例えば水平出力線にクランプ回路を設ける等他の構成のものでもよい。

【0043】(実施例7) 本実施例は、1行中の画素のピーク信号(最大値信号、最小値信号)を検出するものである。ここで画素は実施例1～5で説明したいずれの画素でもよい。

【0044】本実施例では、図11において水平走査回路からスイッチMOSトランジスタ5に同時にパルスを入力することによって、1行中の光電変換画素からの信号を同時に電圧フォロワ回路6から出力することによって1行中の光電変換画素のピーク信号が得られる。ここで、電圧フォロワ回路として図7(a)の出力段がn型トランジスタであるものを用いた場合には、1行中の光電変換画素の最大値信号が、図7(b)の出力段がP型トランジスタであるものを用いた場合には、1行中の光電変換画素の最小値信号が得られる。

【0045】又、奇数列には図7(a)の電圧フォロワ回路を、偶数列には図7(b)の電圧フォロワ回路を用いた場合には、水平走査回路から同時に奇数列のスイッチMOSトランジスタ13にパルスを入力し、次に水平走査回路から同時に偶数列のスイッチMOSトランジスタ13にパルスを入力することにより、1行中の光電変換画素のほぼ最大値信号と、ほぼ最小値信号が得られる。

【0046】(実施例8) 本実施例では、第8実施例よりもさらに精度よく1行中の光電変換画素のピーク信号(最大値信号、最小値信号)を検出するものである。

【0047】第8実施例では、1行中の奇数光電変換画素の最大値信号と、1行中の偶数光電変換画素の最小値信号を得ているため、低解像度のセンサーの場合に、誤差が生じる場合がある。

【0048】そのために、本実施例では図12に示すように1つの列に並列に最大値検出用(図7(a))のものと、最小値検出(図7(b))のものの2つを設けている。そして、最大値検出用の電圧フォロワ回路に接続されたスイッチMOSトランジスタ57に同時に水平走査回路からパルスを入力することにより、水平出力線には1行中の光電変換画素の最大値信号が出力され、最小値検出用の電圧フォロワ回路に接続されたスイッチMOSトランジスタに同時に水平走査回路からパルスを入力することにより、水平出力線には1行中の光電変換画素の最小値信号が出力される。

【0049】第7実施例及び第8実施例において水平走

査回路に、上記述べたような複数のスイッチMOSトランジスタに同時にパルスを入力できるようにする構成と、複数のスイッチMOSトランジスタに順次パルスを入力できるようにする構成を持たせることにより、それぞれ1光電変換画素ずつの個別信号と、1行中の光電変換画素の最大値信号及び最小値信号を得ることができ

る。

【0050】ここで、実施例8、9においては、走査回路14から同時にパルスを複数のスイッチMOSトランジスタ57に入力することにより、電圧フォロワ回路51の接続部が水平出力線に共通接続される構成がピーク信号出力手段に相当する。

【0051】(実施例9) 本実施例は、実施例7又は実施例8で示した光電変換装置を用いた撮像装置をあらわすものである。

【0052】図13に示す光電変換装置90からは、例えば1行中の画素の最大値信号及び最小値信号が出力され差動增幅回路91で差分増幅されコンバレータ92に入力される。そしてコンバレータの出力は、オンチップ又は外付けの蓄積時間制御回路93に入力される。ここで蓄積時間制御回路では、差動增幅回路の出力が基準電圧Vrefよりも大きくなった場合に、光電変換装置に光の蓄積を停止するように制御している。この光の蓄積の停止に従って、次はそれぞれの光電変換画素からの信号を個別に出力し、信号処理回路94でホワイトバランス等の処理を行って画像を得ている。

【0053】

【発明の効果】以上説明したように、本発明によれば、画素内にメモリ機能を有し、さらに高S/Nな光電変換装置及び撮像装置が実現出来た。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る回路構成図である。

【図2】本発明の第1の実施例に係るタイミングチャートである。

【図3】本発明の第2の実施例に係る回路構成図である。

【図4】本発明の第3の実施例に係る回路構成図である。

【図5】本発明の第4の実施例に係る回路構成図である。

【図6】本発明の第4の実施例に係るタイミングチャートである。

【図7】本発明の第5の実施例に係る回路構成図である。

【図8】本発明の第6の実施例に係る回路構成図である。

【図9】本発明の第6の実施例に係るタイミングチャートである。

【図10】差動増幅アンプの1例である。

【図11】本発明の第7の実施例に係る回路構成図である。

【図12】本発明の第8の実施例に係る回路構成図である。

【図13】本発明の第9の実施例に係る回路構成図である。

【図14】従来例である。

【符号の説明】

- 1 フォトダイオード
- 2 リセットMOSトランジスタ
- 3, 4 差動入力MOSゲート
- 5, 6 カレントミラー回路
- 7 定電流源

* 8 トランスファゲート

9 メモリ容量

10 ソースフォロワ增幅MOSトランジスタ

11 定電流源

12 画素ユニット

13 ノイズ除去回路

14 走査回路

28 nMOS転送スイッチ

30 転送ゲート

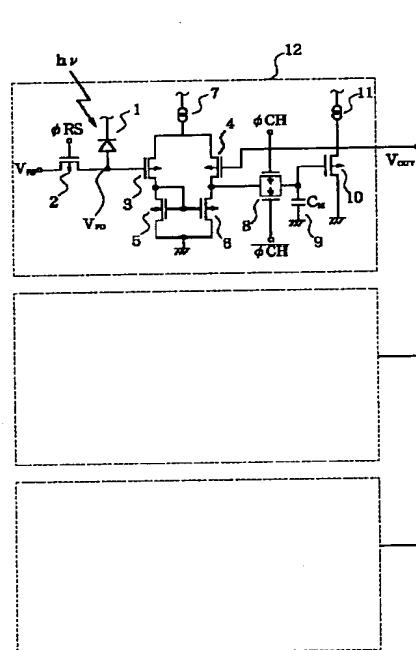
10 31 リセットMOSトランジスタ

61 ソースフォロワ增幅MOSトランジスタ

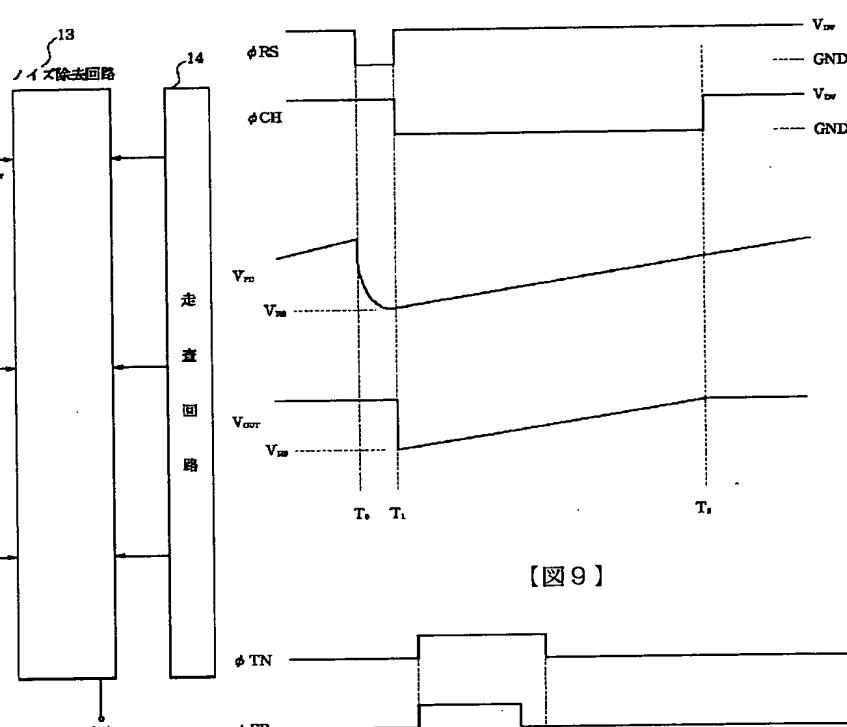
62 転送スイッチ

* 63 転送スイッチ

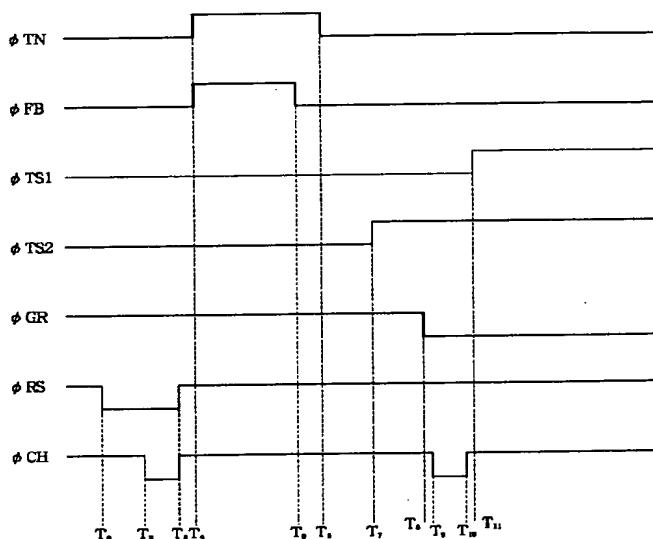
【図1】



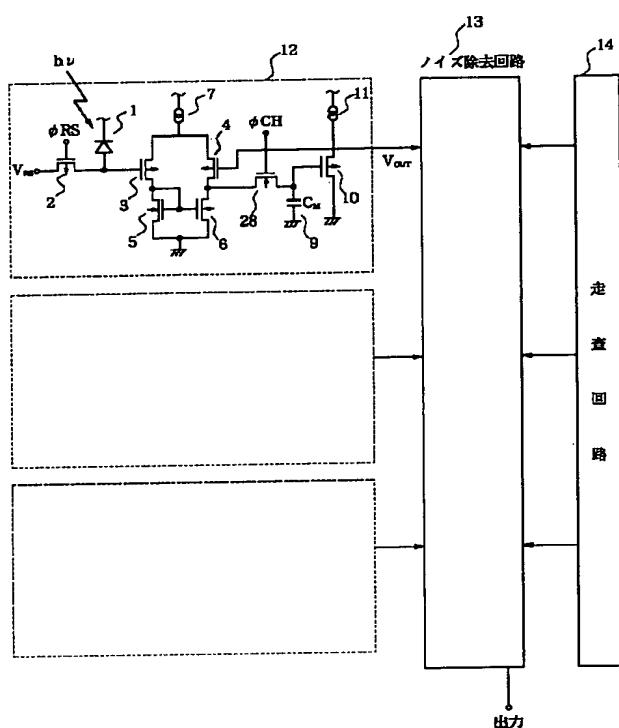
【図2】



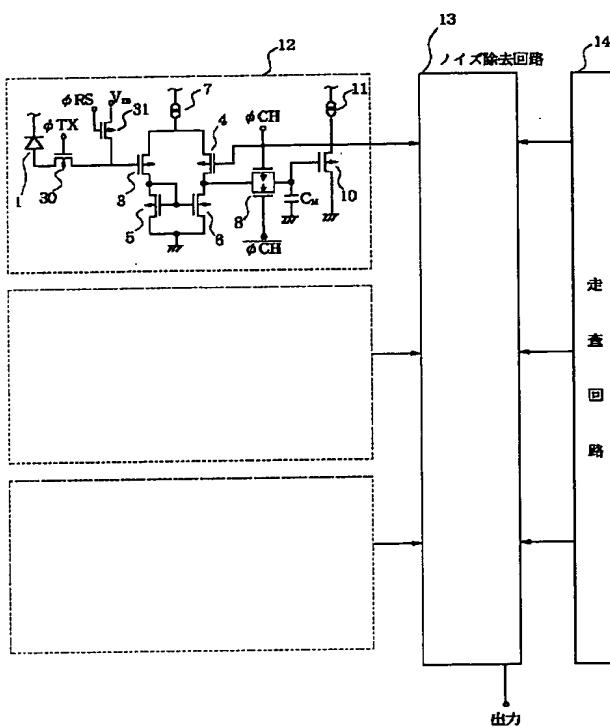
【図9】



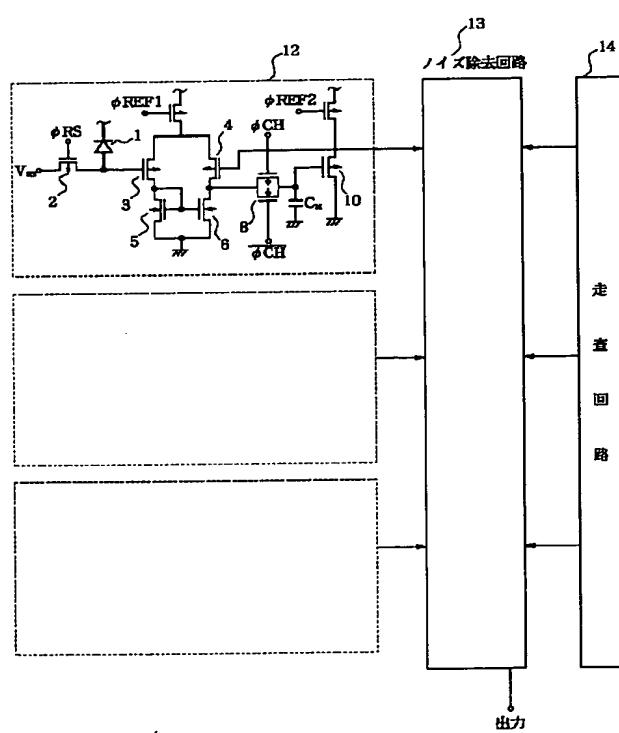
【図3】



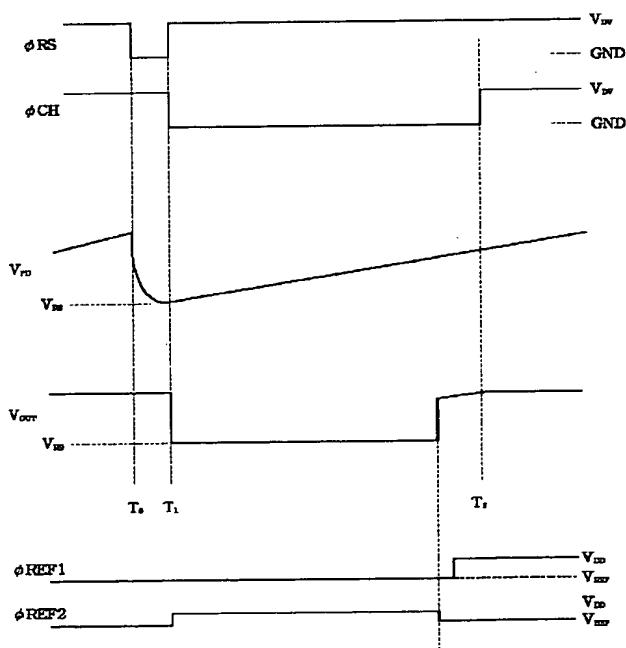
【図4】



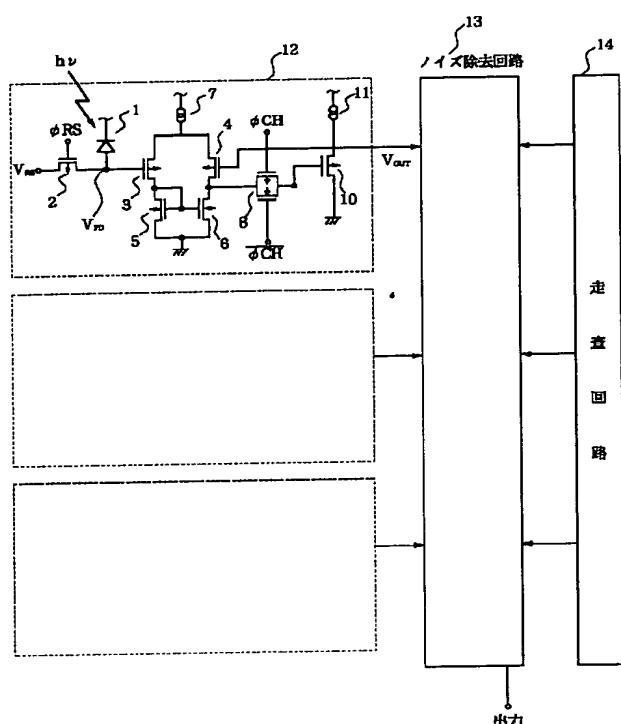
【図5】



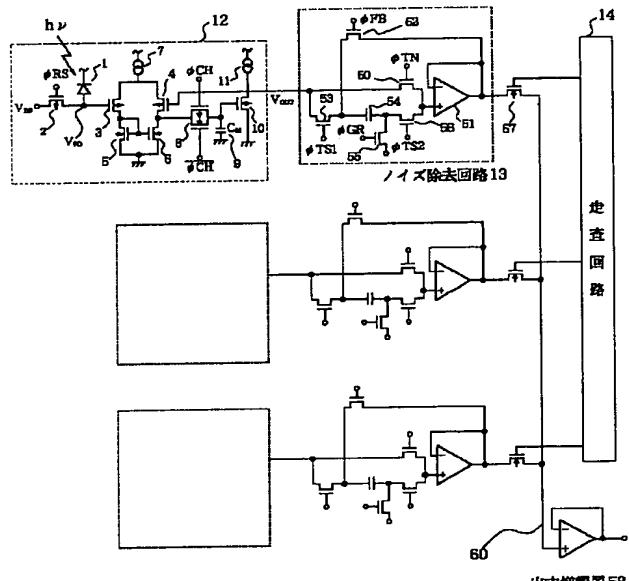
【図6】



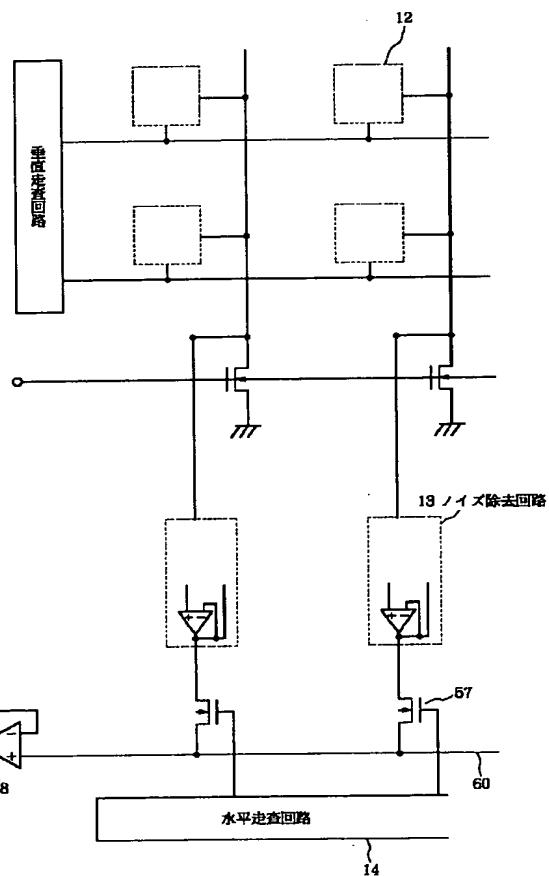
【図7】



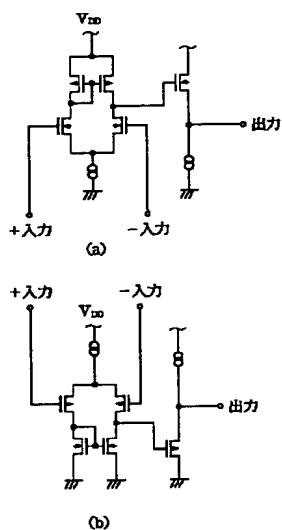
【図8】



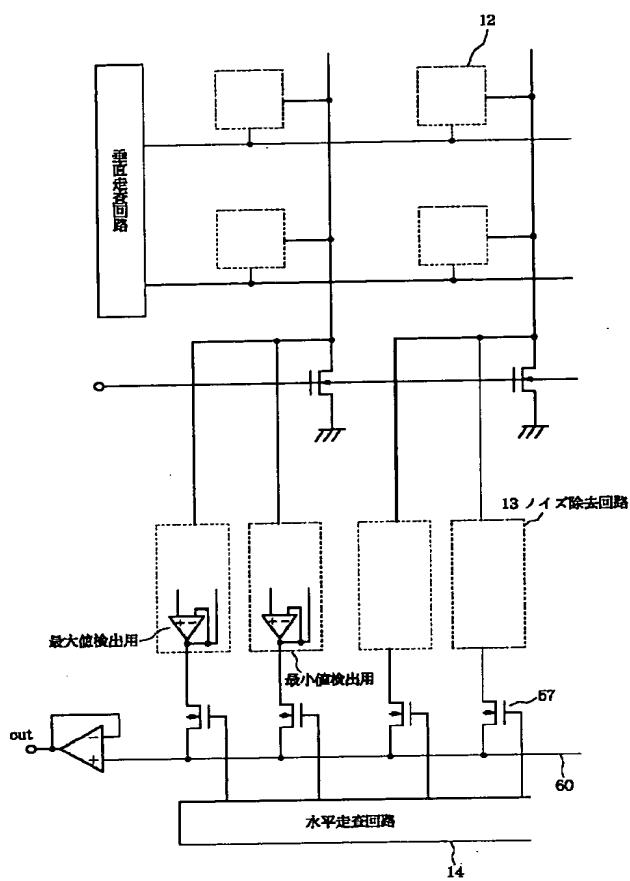
【図11】



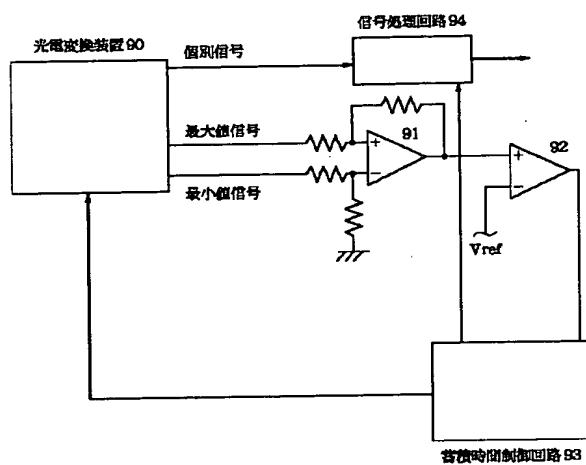
【図10】



【図12】



【図13】



【図14】

